

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150128

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

H01L 21/338
H01L 29/812
H01L 21/66
// H01L 21/60

(21)Application number : 09-318608

(71)Applicant : NEC CORP

(22)Date of filing : 19.11.1997

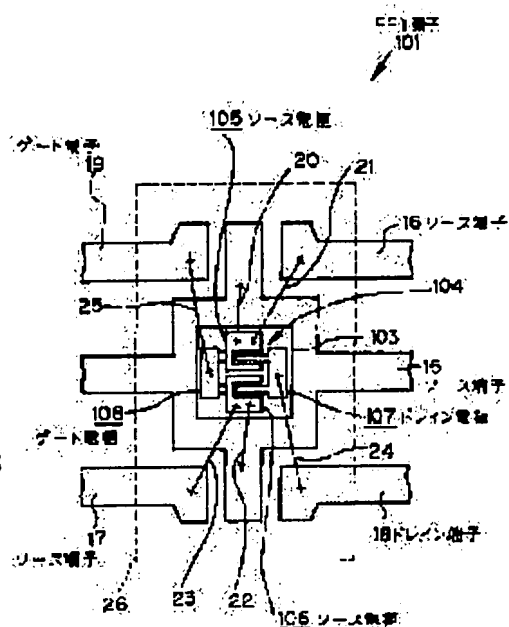
(72)Inventor : KIMURA TOMOAKI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE AND INSPECTION METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device having a plurality of wires for bonding a source terminal to a source electrode in order to reduce source impedance, in which the semiconductor device can be inspected for disconnection even of one bonding wire among the plurality of bonding wires.

SOLUTION: Each of a plurality of divided source electrodes 105, 106 is connected with a plurality of bonding wires 20-23, connected individually with different source terminals 15-17. Since one of the plurality of source electrodes 105, 106 is connected with one of the plurality of source terminals 15-17 through a plurality of bonding wires 20-23, the bonding wires 20-23 can be checked for disconnection by measuring the conducting state of a pair of source terminals among the plurality of source terminals 15-17 which are connected with the same source electrodes 105, 106.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150128

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁹
H 0 1 L 21/338
29/812
21/66
// H 0 1 L 21/60 3 2 1

F I
H 0 1 L 29/80
21/66
21/60 3 2 1 Y
29/80 L

審査請求 有 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願平9-318608

(22) 出願日 平成9年(1997)11月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木村 伴昭

東京都港区芝五丁目7番1号 日本電気株式会社内

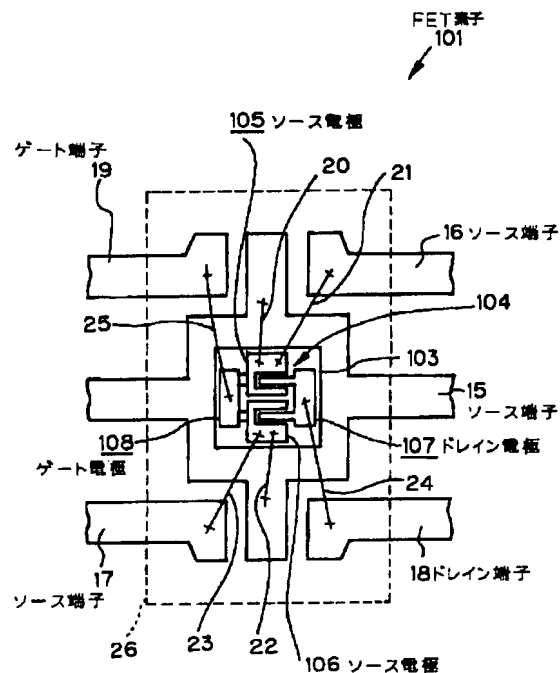
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 半導体装置、その製造方法および検査方法

(57) 【要約】

【課題】 ソースインピーダンス低減のためにソース電極にソース端子を複数のボンディングワイヤで結線する半導体装置において、複数のボンディングワイヤが一本でも断線したことを検査できるようにする。

【解決手段】 複数の分割したソース電極105、106の各々にボンディングワイヤ20~23を複数ずつ結線するが、同一のソース電極105、106に結線されたボンディングワイヤ20~23は個々に相違するソース端子15~17に結線する。これで複数のソース電極105、106の一個と複数のソース端子15~17の一個が複数のボンディングワイヤ20~23の一本で結線されるので、同一のソース電極105、106に結線されている複数のソース端子15~17の一对の導通状態を測定すれば、そのボンディングワイヤ20~23の断線の有無を検査できる。



【特許請求の範囲】

【請求項1】 一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディングワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボンディングワイヤで結線されており、前記ゲート電極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置において、前記ソース電極が複数に分割されており、前記ソース端子が複数に分割されており、複数の前記ソース電極の接続パッドの各々に前記ボンディングワイヤが複数ずつ結線されており、同一の前記ソース電極の接続パッドに結線された前記ボンディングワイヤが個々に相違する前記ソース端子に結線されていることを特徴とする半導体装置。

【請求項2】 一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディングワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボンディングワイヤで結線されており、前記ゲート電極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置において、前記ソース電極が複数に分割されており、複数の前記ソース電極の接続パッドに複数の前記ボンディングワイヤが一本ずつ結線されており、複数の前記ソース電極の接続パッドに一本ずつ結線された複数の前記ボンディングワイヤが一個の前記ソース端子に共通に結線されていることを特徴とする半導体装置。

【請求項3】 前記半導体基板が一個のアース端子上に搭載されており、複数の前記ソース端子の一個が前記アース端子で形成されている請求項1記載の半導体装置。

【請求項4】 前記半導体基板が一個のアース端子上に搭載されており、該アース端子で前記ソース端子が形成されている請求項2記載の半導体装置。

【請求項5】 複数の前記ソース電極の動作部が相互に対称な形状に形成されている請求項1ないし4の何れか一記載の半導体装置。

【請求項6】 一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが一個の半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディング

ワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボンディングワイヤで結線されており、前記ゲート電極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置の製造方法において、

前記ソース電極を複数に分割された形状に形成し、前記ソース端子を複数に分割された形状に形成し、複数の前記ソース電極の接続パッドの各々に前記ボンディングワイヤを複数ずつ結線し、

10 同一の前記ソース電極の接続パッドに結線する前記ボンディングワイヤを個々に相違する前記ソース端子に結線するようにしたことを特徴とする半導体装置の製造方法。

【請求項7】 一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが一個の半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディングワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボンディングワイヤで結線されており、前記ゲート電極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置の製造方法において、

前記ソース電極を複数に分割された形状に形成し、複数の前記ソース電極の接続パッドに複数の前記ボンディングワイヤを一本ずつ結線し、

複数の前記ソース電極の接続パッドに一本ずつ結線される複数の前記ボンディングワイヤを一個の前記ソース端子に共通に結線するようにしたことを特徴とする半導体装置の製造方法。

【請求項8】 請求項1記載の発明の半導体装置の検査方法であって、

同一の前記ソース電極の接続パッドに複数の前記ボンディングワイヤで結線されている複数の前記ソース端子の一对の導通状態を測定し、前記ボンディングワイヤの断線の有無を検査するようにしたことを特徴とする半導体装置の検査方法。

【請求項9】 請求項2記載の発明の半導体装置の検査方法であって、

前記半導体トランジスタの直流特性を測定し、一個の前記ソース端子に複数の前記ソース電極の接続パッドを個々に結線している複数の前記ボンディングワイヤの断線の有無を検査するようにしたことを特徴とする半導体装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、その製造方法および検査方法に関する。

【0002】

【従来の技術】従来、各種の電子機器に半導体装置が利用されており、このような半導体装置は必要により各種の構造に形成されている。例えば、C～Ku帯のマイクロ波を低雑音に増幅するFET(Field Effect Transistor)素子には、インピーダンスを低減するためにソース電極の接続パッドとソース端子とを複数のボンディングワイヤで結線した製品がある。

【0003】上述のような半導体装置の第一の従来例を図10および図11を参照して以下に説明する。なお、図10は半導体装置であるFET素子の全体を示す平面図、図11は半導体トランジスタが形成された半導体基板を示す平面図である。

【0004】ここで半導体装置として例示するFET素子1は、図10に示すように、ベレットとなる半導体基板3を具備している。この半導体基板3上にはFETからなる半導体トランジスタ4が形成されており、この半導体トランジスタ4は、ソース電極5とドレイン電極6とゲート電極7とを具備している。

【0005】同図および図11に示すように、ソース電極5は、E字状に形成されており、二つの接続パッド8、9と三つの動作部10とが一体に形成されている。ドレイン電極6は、U字状に形成されており、一つの接続パッド11と二つの動作部12とが一体に形成されている。

【0006】ゲート電極7は、一つの接続パッド13と四つの動作部14とが一体に形成されており、これら四つの動作部14が一つの接続パッド13から櫛歯状に突出している。ソース電極5とドレイン電極6との四つの動作部10、12はゲート電極7の四つの動作部14を介して対向しているので、ここに前述の半導体トランジスタ4が形成されている。

【0007】この半導体トランジスタ4が形成された半導体基板3は、アース端子を兼用した大型のソース端子15上に搭載されており、このソース端子15の周囲には、二個のソース端子16、17と一個のドレイン端子18と一個のゲート端子19とが配置されている。

【0008】そして、ソース電極5の一方の接続パッド8には、二個のソース端子15、16に一本ずつ結線された二本のボンディングワイヤ20、21が共通に結線されており、他方の接続パッド9にも、二個のソース端子15、17に一本ずつ結線された二本のボンディングワイヤ22、23が共通に結線されている。

【0009】ドレイン電極6の一個の接続パッド11には、一本のボンディングワイヤ24で一個のドレイン端子18が結線されており、ゲート電極7の一個の接続パッド13には、一本のボンディングワイヤ25で一個のゲート端子19が結線されている。

【0010】FET素子1では、上述のように半導体トランジスタ4が形成された半導体基板3がボンディングワイヤ20～25や各種端子15～19の内側部分と

もに一個の樹脂パッケージ26に封止されており、この樹脂パッケージ26の両側から各種端子15～19の外側部分が突出している。

【0011】上述のような構造のFET素子1は、ゲート電極7に印加する電圧でソース電極5からドレイン電極6に通電される電流を制御することができるので、例えば、C～Ku帯のマイクロ波の増幅などに利用される。そして、この増幅を低雑音に実行するため、上述の構造のFET素子1では、ソース電極5の接続パッド8、9とソース端子15～17とを各々複数として複数のボンディングワイヤ20～23で結線し、半導体トランジスタ4のソースインピーダンスを低減している。

【0012】さらに、同様な半導体装置の第二の従来例を図12および図13を参照して以下に説明する。なお、図12は半導体装置であるFET素子の全体を示す平面図、図13は半導体トランジスタが形成された半導体基板を示す平面図である。

【0013】ここで半導体装置として例示するFET素子31も、図12に示すように、ベレットとなる半導体基板33上にFETからなる半導体トランジスタ34が形成されており、この半導体トランジスタ34が、ソース電極35とドレイン電極36とゲート電極37とを具備している。

【0014】同図および図13に示すように、ソース電極35は、変形したE字状に形成されており、二つの接続パッド38、39と三つの動作部40とが一体に形成されている。ドレイン電極36は、変形したU字状に形成されており、一つの接続パッド41と二つの動作部42とが一体に形成されている。ゲート電極37は、一つの接続パッド43と四つの動作部44とが一体に形成されており、これら四つの動作部44が一つの接続パッド43から櫛歯状に突出している。

【0015】この半導体トランジスタ34が形成された半導体基板33は、アース端子を兼用した大型のソース端子45上に搭載されており、このソース端子45の周囲には、一個のドレイン端子46と一個のゲート端子47とが配置されている。

【0016】そして、ソース電極35の二つの接続パッド38、39には、二本のボンディングワイヤ48、49が一本ずつ結線されており、これら二本のボンディングワイヤ48、49が一個のソース端子45に共通に結線されている。ドレイン電極36の一個の接続パッド41には、一本のボンディングワイヤ50で一個のドレイン端子46が結線されており、ゲート電極37の一個の接続パッド43には、一本のボンディングワイヤ51で一個のゲート端子47が結線されている。

【0017】なお、この第二の従来例のFET素子31でも、上述のように半導体トランジスタ34が形成された半導体基板33がボンディングワイヤ48～51や各種端子45～47の内側部分とともに一個の樹脂パッケージ

ージ52に封止されており、この樹脂パッケージ26の両側から各種端子45～47の外側部分が突出している。

【0018】上述した第二の従来例のFET素子31も、C～Ku帯のマイクロ波の増幅などを低雑音に実行するため、ソース電極35の複数の接続パッド38、39を複数のボンディングワイヤ48、49でソース端子45に結線し、半導体トランジスタ34…のソースインピーダンスを低減している。

【0019】

【発明が解決しようとする課題】上述のようなFET素子1、31では、半導体トランジスタ4、34のソースインピーダンスを低減するため、ソース電極5、35の複数の接続パッド8…を複数のボンディングワイヤ20…でソース端子15…に結線している。

【0020】上述のようなFET素子1、31を製造する場合、例えば、樹脂パッケージ26、52の成型工程でボンディングワイヤ20…が断線することがある。そこで、FET素子1、31を製造した場合、各種方法でボンディングワイヤ20…の断線の有無を検査している。

【0021】例えば、上述したFET素子1、31では、各々一個のドレイン電極6、36やゲート電極7、37は、各々一本のボンディングワイヤ24…で各々一個のドレイン端子18、46やゲート端子19、47に結線されている。従って、そのボンディングワイヤ24…が一本でも断線していれば半導体トランジスタ4、34は正常に動作しないので、この半導体トランジスタ4、34直流特性を測定することで製品不良を発見することができる。

【0022】しかし、第一の従来例のFET素子1では、ソース電極5の二つの接続パッド8、9と一個のソース端子15とが二本のボンディングワイヤ20、22で結線されているので、これらのボンディングワイヤ20、22の一方が断線しても半導体トランジスタ4は正常に動作する。

【0023】同様に、第二の従来例のFET素子31でも、ソース電極35の二つの接続パッド38、39と一個のソース端子45とが二本のボンディングワイヤ48、49で結線されているので、これらのボンディングワイヤ48、49の一方が断線しても半導体トランジスタ34は正常に動作する。

【0024】しかし、上述のように本来なら結線されているボンディングワイヤ20…が断線していると、ソースインピーダンスが本来の数値まで低減されないで、マイクロ波の増幅時に必要な性能が期待できないことになり、製品ごとに性能も一定しないことになる。

【0025】なお、ボンディングワイヤ20…の断線の有無は、マイクロ波帯でFET素子1…等の特性を想定すれば判定できる。しかし、これには高価なテスターが

必要であり、測定の所用時間も長大である。また、治具や工具の管理も煩雑なので、FET素子1…等の生産性が低下することになる。

【0026】本発明は上述のような課題に鑑みてなされたものであり、ソースインピーダンスを低減するためにソース電極とソース端子とを複数のボンディングワイヤで結線した半導体装置において、そのボンディングワイヤの断線の有無を簡単に検査できる半導体装置、その製造方法および検査方法を提供することを目的とする。

10 【0027】

【課題を解決するための手段】本発明の一の半導体装置は、一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディングワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボンディングワイヤで結線されており、前記ゲート電極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置において、前記ソース電極が複数の分割されており、前記ソース端子が複数の分割されており、複数の前記ソース電極の接続パッドの各々に前記ボンディングワイヤが複数ずつ結線されており、同一の前記ソース電極の接続パッドに結線された前記ボンディングワイヤが個々に相違する前記ソース端子に結線されている。

【0028】従って、本発明の半導体装置は、半導体基板上に形成された半導体トランジスタのソース電極とドレイン電極との動作部がゲート電極の動作部を介して対向しており、ソース電極とドレイン電極とゲート電極との各々の接続パッドがソース端子とドレイン端子とゲート端子との各々にボンディングワイヤで個々に結線されているので、ソース端子からドレイン端子に通電される電流がゲート端子に印加される電圧で制御される。そして、複数のソース電極と複数のソース端子とが複数のボンディングワイヤで結線されているので、半導体トランジスタのソースインピーダンスが低減されており、例えば、マイクロ波の増幅を低雑音に実行できる。

40 【0029】本発明の半導体装置は、複数のソース電極の接続パッドの各々に複数のボンディングワイヤが結線されており、複数のソース端子の各々にも複数のボンディングワイヤが結線されている。しかし、同一の接続パッドに結線された複数のボンディングワイヤは個々に相違するソース端子に結線されているので、一個の接続パッドと一個のソース端子とは一本のボンディングワイヤで結線されていることになる。従って、同一の接続パッドに結線されている複数のソース端子の一对の導通状態を測定すれば、そのボンディングワイヤの断線の有無が検査される。

【0030】本発明の他の半導体装置は、一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディングワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボンディングワイヤで結線されており、前記ゲート電極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置において、前記ソース電極が複数に分割されており、複数の前記ソース電極の接続パッドに複数の前記ボンディングワイヤが一本ずつ結線されており、複数の前記ソース電極の接続パッドに一本ずつ結線された複数の前記ボンディングワイヤが一個の前記ソース端子に共通に結線されている。

【0031】従って、本発明の半導体装置は、半導体基板上に形成された半導体トランジスタのソース電極とドレイン電極との動作部がゲート電極の動作部を介して対向しており、ソース電極とドレイン電極とゲート電極との各々の接続パッドがソース端子とドレイン端子とゲート端子との各々にボンディングワイヤで個々に結線されているので、ソース端子からドレイン端子に通電される電流がゲート端子に印加される電圧で制御される。そして、複数のソース電極と一個のソース端子とが複数のボンディングワイヤで結線されているので、半導体トランジスタのソースインピーダンスが低減されており、例えば、マイクロ波の増幅を低雑音に実行できる。

【0032】本発明の半導体装置は、一個のソース端子に共通に結線された複数のボンディングワイヤが複数のソース電極の接続パッドの各々に一本ずつ結線されているので、複数のボンディングワイヤの一本が断線すると複数のソース電極の一個に電流が供給されないことになる。従って、半導体トランジスタの直流特性を測定すれば、複数のソース電極と一個のソース端子とを結線した複数のボンディングワイヤの断線の有無が検査される。

【0033】上述のような半導体装置における他の発明としては、前記半導体基板が一個のアース端子上に搭載されており、複数の前記ソース端子の一個が前記アース端子で形成されている。従って、半導体トランジスタがソース接地されているので、例えば、半導体装置をマイクロ波の増幅に利用することが容易である。

【0034】上述のような半導体装置における他の発明としては、前記半導体基板が一個のアース端子上に搭載されており、該アース端子で前記ソース端子が形成されている。従って、半導体トランジスタがソース接地されているので、例えば、半導体装置をマイクロ波の増幅に利用することが容易である。

【0035】上述のような半導体装置における他の発明としては、複数の前記ソース電極の動作部が相互に対称

な形状に形成されている。従って、一個の半導体トランジスタとして機能するソース電極の動作部が複数に分割されていても、この複数の動作部が同等に機能する。

【0036】本発明の他の半導体装置の製造方法は、一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが一個の半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディングワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボンディングワイヤで結線されており、前記ゲート電極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置の製造方法において、前記ソース電極を複数に分割された形状に形成し、前記ソース端子を複数に分割された形状に形成し、複数の前記ソース電極の接続パッドの各々に前記ボンディングワイヤを複数ずつ結線し、同一の前記ソース電極の接続パッドに結線する前記ボンディングワイヤを個々に相違する前記ソース端子に結線するようにした。

【0037】従って、本発明の製造方法によれば、複数のソース電極の接続パッドの各々にボンディングワイヤが複数ずつ結線され、同一のソース電極の接続パッドに結線されたボンディングワイヤが個々に相違するソース端子に結線された構造に半導体装置が製造される。このように製造された半導体装置は、複数のソース電極と複数のソース端子とが複数のボンディングワイヤで結線されているので、半導体トランジスタのソースインピーダンスが低減されており、例えば、マイクロ波の増幅を低雑音に実行できる。

【0038】上述のように製造された半導体装置は、複数のソース電極の接続パッドの各々に複数のボンディングワイヤが結線されており、複数のソース端子の各々にも複数のボンディングワイヤが結線されている。しかし、同一の接続パッドに結線された複数のボンディングワイヤは個々に相違するソース端子に結線されているので、一個の接続パッドと一個のソース端子とは一本のボンディングワイヤで結線されていることになる。従って、同一の接続パッドに結線されている複数のソース端子の一对の導通状態を測定すれば、そのボンディングワイヤの断線の有無が検査される。

【0039】本発明の他の半導体装置の製造方法は、一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが一個の半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディングワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボンディングワイヤで結線されており、前記ゲート電

極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置の製造方法において、前記ソース電極を複数に分割された形状に形成し、複数の前記ソース電極の接続パッドに複数の前記ボンディングワイヤを一本ずつ結線し、複数の前記ソース電極の接続パッドに一本ずつ結線される複数の前記ボンディングワイヤを一個の前記ソース端子に共通に結線するようにした。

【0040】従って、本発明の製造方法によれば、複数のソース電極の接続パッドに複数のボンディングワイヤが一本ずつ結線され、複数のソース電極の接続パッドに一本ずつ結線された複数のボンディングワイヤが一個のソース端子に共通に結線された構造に半導体装置が製造される。このように製造された半導体装置は、複数のソース電極と一個のソース端子とが複数のボンディングワイヤで結線されているので、半導体トランジスタのソースインピーダンスが低減されており、例えば、マイクロ波の増幅を低雑音に実行できる。

【0041】上述のように製造された半導体装置は、一個のソース端子に共通に結線された複数のボンディングワイヤが複数のソース電極の接続パッドの各々に一本ずつ結線されているので、複数のボンディングワイヤの一本が断線すると複数のソース電極の一個に電流が供給されないことになる。従って、半導体トランジスタの直流特性を測定すれば、複数のソース電極と一個のソース端子とを結線した複数のボンディングワイヤの断線の有無が検査される。

【0042】本発明の一の半導体装置の検査方法は、同一の前記ソース電極の接続パッドに複数の前記ボンディングワイヤで結線されている複数の前記ソース端子の一对の導通状態を測定し、前記ボンディングワイヤの断線の有無を検査するようにした。

【0043】従って、本発明の一の半導体装置は、複数のソース電極の接続パッドの各々に複数のボンディングワイヤが結線されており、複数のソース端子の各々にも複数のボンディングワイヤが結線されている。しかし、同一の接続パッドに結線された複数のボンディングワイヤは個々に相違するソース端子に結線されているので、一個の接続パッドと一個のソース端子とは一本のボンディングワイヤで結線されていることになる。そこで、同一の接続パッドに結線されている複数のソース端子の一对の導通状態を測定すれば、そのボンディングワイヤの断線の有無が検査される。

【0044】本発明の他の半導体装置の検査方法は、前記半導体トランジスタの直流特性を測定し、一個の前記ソース端子に複数の前記ソース電極の接続パッドを個々に結線している複数の前記ボンディングワイヤの断線の有無を検査するようにした。

【0045】従って、本発明の他の半導体装置は、一個のソース端子に共通に結線された複数のボンディングワイヤが複数のソース電極の接続パッドの各々に一本ずつ

結線されているので、複数のボンディングワイヤの一本が断線すると複数のソース電極の一個に電流が供給されないことになる。そこで、半導体トランジスタの直流特性を測定すれば、複数のソース電極と一個のソース端子とを結線した複数のボンディングワイヤの断線の有無が検査される。なお、このように測定される半導体トランジスタの直流特性としては、例えば、飽和ドレイン電流値やトランスコンダクタンス値などを許容する。

【0046】

【発明の実施の形態】本発明の実施の第一の形態を図1ないし図3を参照して以下に説明する。なお、この実施の第一の形態に関して前述した第一の従来例と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。図1は本実施の形態の半導体装置の全体を示す平面図、図2は半導体トランジスタが形成された半導体基板を示す平面図、図3は図2の半導体トランジスタおよび半導体基板をAA線の位置で切断した状態を示す縦断正面図である。

【0047】まず、図1に示すように、本実施の形態の半導体装置であるFET素子101も、前述した第一の従来例のFET素子1と同様に、ベレットとなる半導体基板103上にFETからなる半導体トランジスタ104が形成されており、この半導体トランジスタ104が、ソース電極105、106とドレイン電極107とゲート電極108とを具備している。

【0048】しかし、本実施の形態のFET素子101のソース電極105、106は、前述したFET素子1のソース電極5を二個の対称な形状に分割した構造に形成されている。より詳細には、これらのソース電極105、106は、同図および図12に示すように、各々U字状に形成されており、一体に形成された一つの接続パッド109、110と二つの動作部111、112とを各々具備している。

【0049】ドレイン電極107やゲート電極108は、前述したFET素子1と同一の構造に形成されており、二個のソース電極105、106の合計四つの動作部111、112とドレイン電極107の二つの動作部12とがゲート電極108の四つの動作部14を介して対向している。

【0050】上述のように半導体トランジスタ104が形成された半導体基板103は、アース端子を兼用した大型のソース端子15上に搭載されており、このソース端子15の周囲には、二個のソース端子16、17と一個のドレイン端子18と一個のゲート端子19とが配置されている。

【0051】そして、本実施の形態のFET素子1では、複数のソース電極105、106の接続パッド109、110の各々にボンディングワイヤ20～23が複数ずつ結線されているが、同一のソース電極105、106の接続パッド109、110に結線された複数のボ

ンディングワイヤ20～23は個々に相違するソース端子15～17に結線されている。

【0052】より詳細には、一方のソース電極105の接続パッド109には二本のボンディングワイヤ20、21が共通に結線されているが、これら二本のボンディングワイヤ20、21は二個のソース端子15、16に一本ずつ結線されている。同様に、他方のソース電極106の接続パッド110にも二本のボンディングワイヤ22、23が共通に結線されているが、これら二本のボンディングワイヤ22、23は二個のソース端子15、17に一本ずつ結線されている。

【0053】なお、本実施の形態のFET素子101も、ドレイン電極107やゲート電極108の結線構造などは前述した第一の従来例のFET素子1と同一なので、ここでは説明を省略する。ここで、本実施の形態のFET素子101の半導体トランジスタ104および半導体基板103の内部構造を図3を参照して以下に簡単に説明する。

【0054】まず、GaAs製の半導体基板103にn層120やn⁺層121が形成されており、このn⁺層121上にオーミック層122を介してソース電極105、106とドレイン電極107とが形成されている。ゲート電極108の動作部14はn層120に到達する深度に形成されているので、これでソース電極105、106の動作部111、112とドレイン電極107の動作部12とがゲート電極108の動作部14を介して対向している。

【0055】そして、二個のソース電極105、106の間には各層120～121を完全に分離する深度までメサ段123が形成されており、このメサ段123によりソース電極105、106が二個に分割されている。なお、上述のような各種層120～121の表面には保護膜124が被覆されている。

【0056】本実施の形態のFET素子101を製造する場合には、半導体トランジスタ104の各層の拡散や成膜は従来と同様に実行し、上述のようにメサ段123でソース電極105、106を対称に分割された形状に形成する。そして、これらのソース電極105、106とソース端子15～17とを結線するときは、同一のソース電極105、106の接続パッド109、110に結線された複数のボンディングワイヤ20～23を個々に相違するソース端子15～17に結線する。

【0057】上述のような構成において、本実施の形態のFET素子101も、前述した一従来例のFET素子1と同様に、ソース電極105、106の接続パッド109、110とソース端子15～17とが複数のボンディングワイヤ20～23で結線されているので、半導体トランジスタ104のソースインピーダンスが低減されており、例えば、C～Ku帯のマイクロ波の低雑音の増幅などに利用することができる。

【0058】本実施の形態のFET素子101を製造する場合も、やはり樹脂パッケージ26の成型工程でボンディングワイヤ20…が断線することがあるので、この断線の有無を検査する必要がある。本実施の形態のFET素子101は、前述したFET素子1と同様に、ソースインピーダンスを低減するためにソース用のボンディングワイヤ20～23が複数とされているが、同一のソース電極105、106の接続パッド109、110に結線されたボンディングワイヤ20～23は個々に相違するソース端子15～17に結線されている。

【0059】つまり、接続パッド105、106の一個とソース端子15～17の一個とを結線しているボンディングワイヤ20～23は一本なので、同一の接続パッド105、106に結線されている複数のソース端子15～17の一对の導通状態を測定すれば、そのボンディングワイヤ20～23の断線の有無を検査することができる。

【0060】例えば、ボンディングワイヤ20、21が一方でも断線している場合、ソース端子15、16の導通状態を測定すれば断線の存在を発見することができる。同様に、ボンディングワイヤ22、23が一方でも断線している場合、ソース端子15、17の導通状態を測定すれば断線の存在を発見することができる。なお、この断線の検査は製品不良の発見を目的とするため、ボンディングワイヤ20～23の何れが断線しているかを発見する必要はない。

【0061】本実施の形態のFET素子101は、上述のようにソース電極105、106とソース端子15～17とが複数のボンディングワイヤ20～23で結線されているので、ソースインピーダンスが低減されており低雑音の増幅などに利用することができる。

【0062】しかし、ソース電極105、106が二個に分割されており、同一のソース電極105、106の接続パッド109、110に結線された複数のボンディングワイヤ20～23が個々に相違するソース端子15～17に結線されているので、これらのソース端子15～17の一对の導通状態でボンディングワイヤ20～23の断線の有無を確実に検査することができる。

【0063】さらに、二個のソース電極105、106が対称な形状に形成されているので、半導体トランジスタ104のRF(Radio Frequency)特性などは従来と同等である。ソース電極105、106に結線されたソース端子15～17の一個がアース端子からなるので、本実施の形態のFET素子101はマイクロ波の増幅に利用することが容易である。

【0064】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態ではメサ段123により各層120～122を物理的に分離してソース電極105、106を分割することを例示したが、各層120～12

2にB+I/IやH+I/Iを注入してソース電極105、106を分割することも可能であり、このような注入やメサ段を併用することも可能である。

【0065】また、上記形態ではソース端子15~17の一对の導通状態を測定することでボンディングワイヤ20~23の断線の有無を検査することを例示したが、半導体トランジスタ104の直流特性の測定でボンディングワイヤ20~23の断線の有無を検査することも可能である。

【0066】例えば、ソース端子15は接地することなくソース端子16、17を接地し、この状態で半導体トランジスタ104を動作させて飽和ドレイン電流値やトランスコンダクタンス値など測定する。この場合、二個のソース電極105、106は各々一本のボンディングワイヤ21、23で接地されるので、その一方で断線しているとソース電極105、106の動作部111、112は一方しか機能しないことになり、飽和ドレイン電流値やトランスコンダクタンス値は本来の半分程度となる。

【0067】つぎに、ソース端子16、17は接地することなくソース端子15を接地して同様に半導体トランジスタ104の直流特性を測定すれば、ボンディングワイヤ20、22の断線の有無を検査することができるので、これでソース電極105、106に結線されたボンディングワイヤ20~23の全部を検査できることになる。

【0068】上述のように半導体トランジスタ104の直流特性の測定でボンディングワイヤ20~23の断線の有無を検査した場合、その所用時間は従来のマイクロ波帯での特性測定の十分の一以下となる。また、高価な

テストも必要でなく、治具や工具の管理も容易なので、FET素子101の生産性を向上させることができる。

【0069】つぎに、本発明の実施の第二の形態を図4および図5を参照して以下に説明する。なお、この実施の第二の形態に関して上述した第一の形態および前述した第二の従来例と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。図4は半導体装置であるFET素子の全体を示す平面図、図5は半導体トランジスタが形成された半導体基板を示す平面図である。

【0070】本実施の形態の半導体装置であるFET素子131も、前述したFET素子31と同様に、図4に示すように、ペレットとなる半導体基板133上にFETからなる半導体トランジスタ134が形成されており、この半導体トランジスタ134が、ソース電極135、136とドレイン電極137とゲート電極138とを具備している。

【0071】つまり、本実施の形態のFET素子131も、前述した第一の形態のFET素子101と同様に、ソース電極135、136が前述したFET素子31のソース電極35を二個の対称な形状に分割した構造に形

成されているので、これらのソース電極135、136は、同図および図5に示すように、一体に形成された一つの接続パッド139、140と二つの動作部141、142とを各々具備している。

【0072】そして、二個のソース電極135、137の接続パッド139、140には、二本のボンディングワイヤ48、49が一本ずつ結線されており、これら二本のボンディングワイヤ48、49が一個のソース端子45に共通に結線されている。なお、この他の構造は前述したFET素子31と同様なので説明を省略する。

【0073】上述のような構成において、本実施の形態のFET素子131も、前述した従来例のFET素子31と同様に、ソース電極135、136の接続パッド139、140とソース端子15~17とが複数のボンディングワイヤ48、49で結線されているので、半導体トランジスタ134のソースインピーダンスが低減されている。

【0074】本実施の形態のFET素子131は、前述したFET素子31と同様に、ソースインピーダンスを低減するためにソース用のボンディングワイヤ48、49が複数とされているが、二個のソース電極135、136の接続パッド139、140にはボンディングワイヤ48、49は一本ずつ結線されているので、半導体トランジスタ134の直流特性を測定すればボンディングワイヤ48、49の断線の有無を検査することができる。

【0075】つまり、一個のソース端子45に二個のソース電極135、136が二本のボンディングワイヤ48、49で個々に結線されているので、その一方で断線しているとソース電極135、136の動作部141、142は一方しか機能しないことになる。この場合、飽和ドレイン電流値やトランスコンダクタンス値は本来の半分程度となるので、これでソース電極135、136に結線されたボンディングワイヤ48、49の断線の有無を検査することができる。

【0076】上述のように半導体トランジスタ134の直流特性の測定でボンディングワイヤ48、49の断線の有無を検査した場合も、その所用時間は従来のマイクロ波帯での特性測定の十分の一以下となる。また、高価なテストも必要でなく、治具や工具の管理も容易なので、FET素子131の生産性を向上させることができる。

【0077】つぎに、本発明の実施の第三の形態を図6および図7を参照して以下に説明する。なお、この実施の第三の形態に関して上述した第二の形態と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。図6は半導体装置であるFET素子の全体を示す横断平面図、図7は半導体トランジスタが形成された半導体基板を示す平面図である。

【0078】ここで半導体装置として例示するFET素

子151も、前述したFET素子131と同様に、ベレットとなる半導体基板153上にFETからなる半導体トランジスタ154が形成されており、この半導体トランジスタ154が、ソース電極155、156とドレイン電極157、158とゲート電極159とを具備している。

【0079】つまり、本実施の形態のFET素子151では、ソース電極155、156とドレイン電極157、158との各々が、二個の対称な形状に分割されている。同図および図7に示すように、ソース電極155、156は、U字状に形成されており、一体に形成された一つの接続パッド160、140と二つの動作部162、163とを各々具備している。

【0080】ドレイン電極157、158は、長方形に形成されており、その中央部からなる一つの接続パッド164、165と両側縁部からなる二つの動作部166、167とを各々具備している。ゲート電極159は、一つの接続パッド168から四つの動作部169が突出した櫛歯状に形成されており、これらの動作部169を介してソース電極155、156の動作部162、163とドレイン電極157、158の動作部166、167とが対向している。

【0081】本実施の形態のFET素子151では、円筒形の本体ケース170を貫通するように一個のソース端子171が組み込まれており、このソース端子171上に半導体基板153が搭載されている。ソース端子171の両側にはドレイン端子172とゲート端子173とが個々に配置されており、これらの端子172、174も本体ケース170の内部から外部に突出している。

【0082】二個のソース電極155、156の接続パッド160、161には、二本のボンディングワイヤ174、175が一本ずつ結線されており、これら二本のボンディングワイヤ174、175が一個のソース端子171に共通に結線されている。

【0083】また、ドレイン端子172と二個のドレイン電極157、158の接続パッド164、165とは二本のボンディングワイヤ176、177で結線されており、一個のゲート端子173と一個のゲート電極159の接続パッド168とは一本のボンディングワイヤ178で結線されている。

【0084】上述のような構成において、本実施の形態のFET素子151も、前述した第二の形態のFET素子131と同様に、ソース電極155、156の接続パッド160、161とソース端子15~17とが複数のボンディングワイヤ174、175で結線されているので、半導体トランジスタ154のソースインピーダンスが低減されている。

【0085】本実施の形態のFET素子151は、前述したFET素子131と同様に、ソースインピーダンスを低減するためにソース用のボンディングワイヤ17

4、175が複数とされているが、二個のソース電極155、156の接続パッド160、161にはボンディングワイヤ174、175は一本ずつ結線されているので、半導体トランジスタ154の直流特性を測定すればボンディングワイヤ174、175の断線の有無を検査することができる。

【0086】上述のように半導体トランジスタ154の直流特性の測定でボンディングワイヤ174、175の断線の有無を検査した場合、その所用時間は従来のマイクロ波帯での特性測定の十分の一以下となる。また、高価なテストも必要でなく、治具や工具の管理も容易なので、FET素子151の生産性を向上させることができる。

【0087】なお、本発明は上記形態に限定されるものでもなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、その半導体トランジスタとしては図8や図9のような構造も可能である。図8に例示する半導体トランジスタ181では、U字状の二個のソース電極182、183、U字状の一個のドレイン電極184、U字状の二個のゲート電極185、186が組み合わされている。図9に例示する半導体トランジスタ191では、U字状の二個のソース電極192、193、直線状の一個のドレイン電極194、T字状の二個のゲート電極195、196が組み合わされている。

【0088】つまり、本発明の半導体装置では、ソース電極が複数に分割されており、その複数の動作部がドレイン電極の動作部にゲート電極の動作部を介して対向していれば良く、各電極の形状や動作部の個数などは各種に設定することが可能である。

【0089】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0090】本発明の半導体装置は、一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディングワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボンディングワイヤで結線されており、前記ゲート電極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置において、請求項1記載の発明では、前記ソース電極が複数に分割されており、前記ソース端子が複数に分割されており、複数の前記ソース電極の接続パッドの各々に前記ボンディングワイヤが複数ずつ結線されており、同一の前記ソース電極の接続パッドに結線された前記ボンディングワイヤが個々に相違する前記ソース端子に結線されていることにより、半導体トランジスタのソースインピーダンスが低減されているので、例えば、マイク

口波の増幅を低雑音に実行することができ、複数のソース電極の接続パッドの各々に複数のボンディングワイヤが結線されているが、一個の接続パッドと一個のソース端子とは一本のボンディングワイヤで結線されているので、例えば、同一の接続パッドに結線されている複数のソース端子の一对の導通状態を測定することで、そのボンディングワイヤの断線の有無を容易に検査することができる。

【0091】請求項2記載の発明では、前記ソース電極が複数の分割されており、複数の前記ソース電極の接続パッドに複数の前記ボンディングワイヤが一本ずつ結線されており、複数の前記ソース電極の接続パッドに一本ずつ結線された複数の前記ボンディングワイヤが一個の前記ソース端子に共通に結線されていることにより、半導体トランジスタのソースインピーダンスが低減されているので、例えば、マイクロ波の増幅を低雑音に実行することができ、複数のソース電極の接続パッドの各々に複数のボンディングワイヤが結線されているが、一個の接続パッドと一個のソース端子とは一本のボンディングワイヤで結線されているので、例えば、半導体トランジスタの直流特性を測定することで、そのボンディングワイヤの断線の有無を容易に検査することができ、半導体装置の生産性を向上させることができる。

【0092】請求項3記載の発明は、請求項1記載の半導体装置であって、前記半導体基板が一個のアース端子上に搭載されており、複数の前記ソース端子の一個が前記アース端子で形成されていることにより、半導体トランジスタがソース接地されているので、例えば、半導体装置をマイクロ波の増幅に利用することが容易である。

【0093】請求項4記載の発明は、請求項2記載の半導体装置であって、前記半導体基板が一個のアース端子上に搭載されており、該アース端子で前記ソース端子が形成されていることにより、半導体トランジスタがソース接地されているので、例えば、半導体装置をマイクロ波の増幅に利用することが容易である。

【0094】請求項5記載の発明は、請求項1ないし4の何れか一記載の半導体装置であって、複数の前記ソース電極の動作部が相互に対称な形状に形成されていることにより、一個の半導体トランジスタとして機能する複数のソース電極の動作部を同等に機能させることができるので、従来と同等なRF特性を確保することができる。

【0095】本発明の半導体装置の製造方法は、一体に形成された接続パッドと動作部とをソース電極とドレイン電極とゲート電極とが各々具備しており、前記ソース電極と前記ドレイン電極との動作部が前記ゲート電極の動作部を介して対向した半導体トランジスタが一個の半導体基板上に形成されており、前記ソース電極の接続パッドにソース端子がボンディングワイヤで結線されており、前記ドレイン電極の接続パッドにドレイン端子がボ

ンディングワイヤで結線されており、前記ゲート電極の接続パッドにゲート端子がボンディングワイヤで結線されている半導体装置の製造方法において、請求項6記載の発明では、前記ソース電極を複数の分割された形状に形成し、前記ソース端子を複数の分割された形状に形成し、複数の前記ソース電極の接続パッドの各々に前記ボンディングワイヤを複数ずつ結線し、同一の前記ソース電極の接続パッドに結線する前記ボンディングワイヤを個々に相連する前記ソース端子に結線するようにしたことにより、半導体トランジスタのソースインピーダンスが低減された構造に半導体装置を製造することができ、かつ、複数のソース電極の接続パッドの各々に結線された複数のボンディングワイヤの断線の有無を容易に検査できる構造に半導体装置を製造することができる。

【0096】請求項7記載の発明では、前記ソース電極を複数の分割された形状に形成し、複数の前記ソース電極の接続パッドに複数の前記ボンディングワイヤを一本ずつ結線し、複数の前記ソース電極の接続パッドに一本ずつ結線される複数の前記ボンディングワイヤを一個の前記ソース端子に共通に結線するようにしたことにより、半導体トランジスタのソースインピーダンスが低減された構造に半導体装置を製造することができ、かつ、複数のソース電極の接続パッドの一本ずつ結線された複数のボンディングワイヤの断線の有無を容易に検査できる構造に半導体装置を製造することができる。

【0097】請求項8記載の発明は、請求項1記載の発明の半導体装置の検査方法であって、同一の前記ソース電極の接続パッドに複数の前記ボンディングワイヤで結線されている複数の前記ソース端子の一对の導通状態を測定し、前記ボンディングワイヤの断線の有無を検査するようにしたことにより、請求項1記載の発明の半導体装置のソース電極に結線されているボンディングワイヤの断線の有無を容易に検査することができる。

【0098】請求項9記載の発明は、請求項2記載の発明の半導体装置の検査方法であって、前記半導体トランジスタの直流特性を測定し、一個の前記ソース端子に複数の前記ソース電極の接続パッドを個々に結線している複数の前記ボンディングワイヤの断線の有無を検査するようにしたことにより、請求項2記載の発明の半導体装置のソース電極に結線されているボンディングワイヤの断線の有無を容易に検査することができ、半導体装置の生産性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の実施の第一の形態であるFET素子を示す平面図である。

【図2】半導体トランジスタが形成された半導体基板を示す平面図である。

【図3】図2の半導体トランジスタおよび半導体基板をAA線の位置で切断した状態を示す断面図である。

【図4】本発明の半導体装置の実施の第二の形態である

FET素子を示す平面図である。

【図5】半導体トランジスタが形成された半導体基板を示す平面図である。

【図6】本発明の半導体装置の実施の第三の形態であるFET素子を示す横断平面図である。

【図7】半導体トランジスタが形成された半導体基板を示す平面図である。

【図8】半導体トランジスタの第一の変形例を示す平面図である。

【図9】半導体トランジスタの第二の変形例を示す平面図である。

【図10】半導体装置の第一の従来例であるFET素子を示す平面図である。

【図11】半導体トランジスタが形成された半導体基板を示す平面図である。

【図12】半導体装置の第二の従来例であるFET素子を示す平面図である。

【図13】半導体トランジスタが形成された半導体基板を示す平面図である。

【符号の説明】

11, 13, 41, 43, 109, 110, 139, 1*

*40, 160, 161, 164, 165, 168 接続パッド

12, 14, 111, 112, 141, 142, 16

2, 163, 166, 167, 169 動作部

15~17, 45, 171 ソース端子

18, 46, 172 ドレイン端子

19, 47, 173 ゲート端子

20~25, 48~51, 174~178 ボンディングワイヤ

101, 131, 151 半導体装置であるFET素子

103, 133, 153 半導体基板

104, 134, 154, 181, 191 半導体トランジスタ

105, 106, 135, 136, 155, 156, 1

82, 183, 192, 193 ソース電極

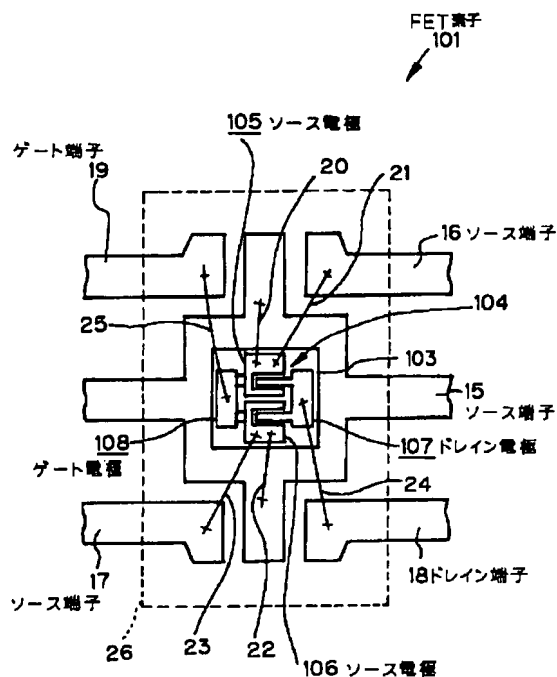
107, 137, 157, 158, 184, 194

ドレイン電極

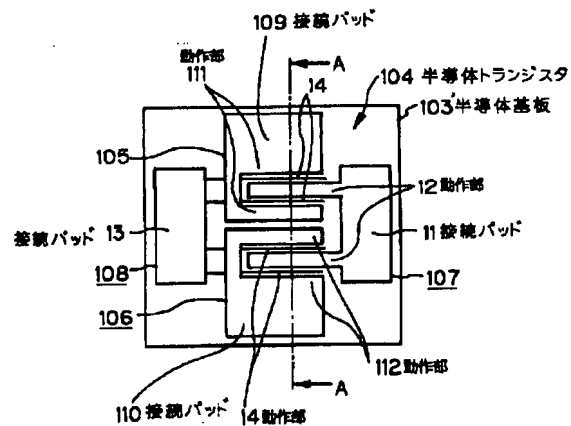
108, 138, 159, 185, 186, 195, 1

20 96 ゲート電極

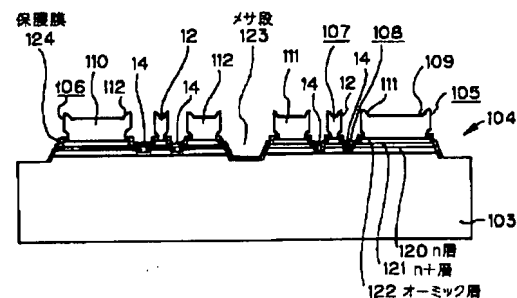
【図1】



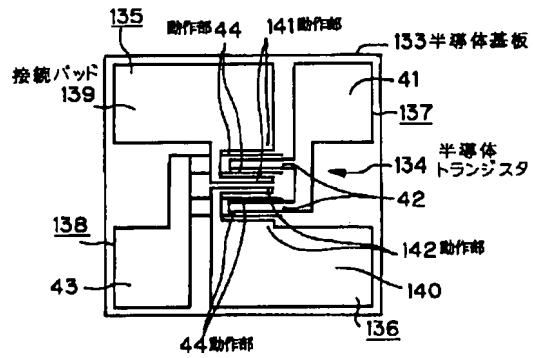
【図2】



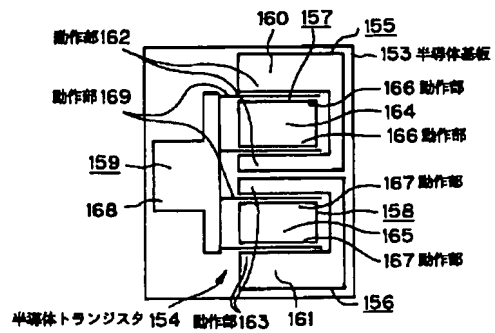
【図3】



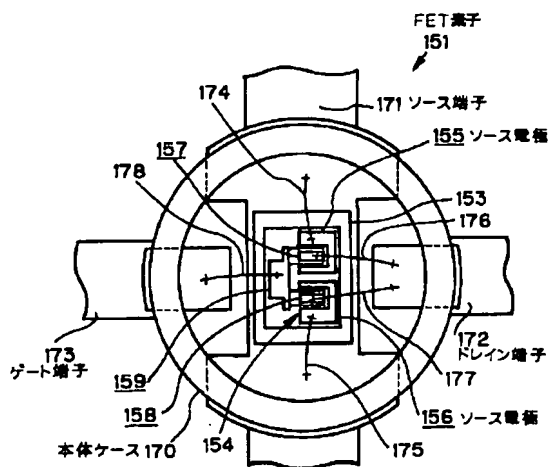
【図5】



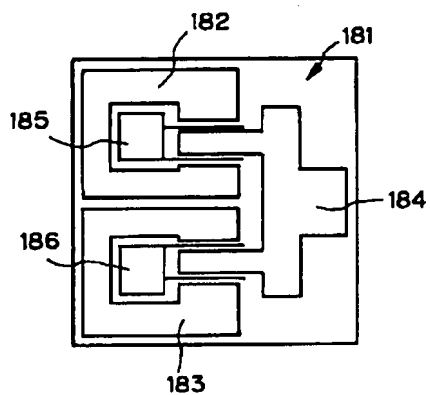
【圖 7】



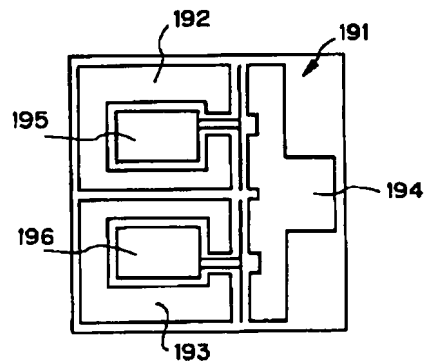
【図6】



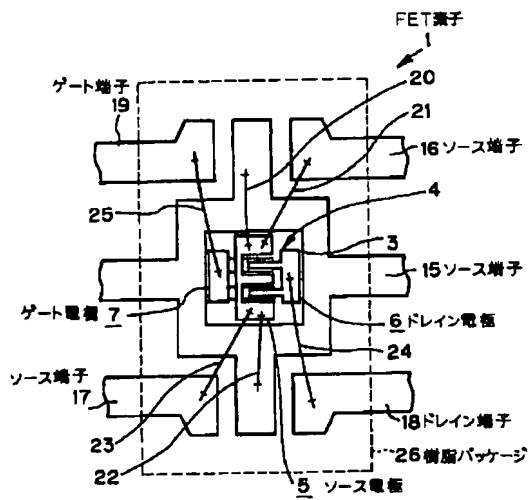
【図8】



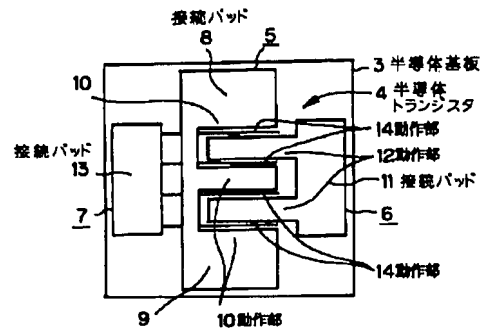
【图9】



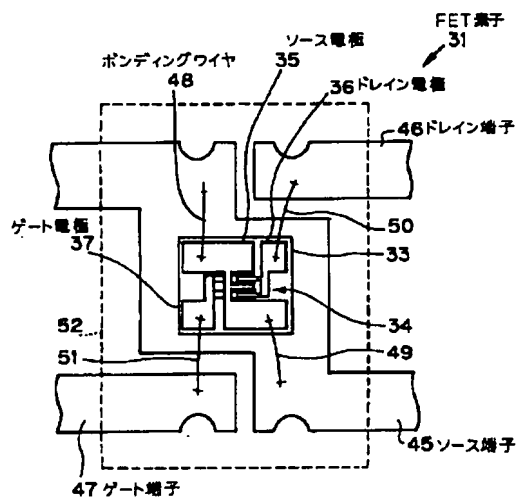
【図10】



【図11】



【図12】



【図13】

